

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205351

(43)Date of publication of application : 05.08.1997

(51)Int.Cl.

H03K 5/02

H03K 19/00

H03K 19/0175

(21)Application number : 08-010834

(71)Applicant : SONY CORP

(22)Date of filing : 25.01.1996

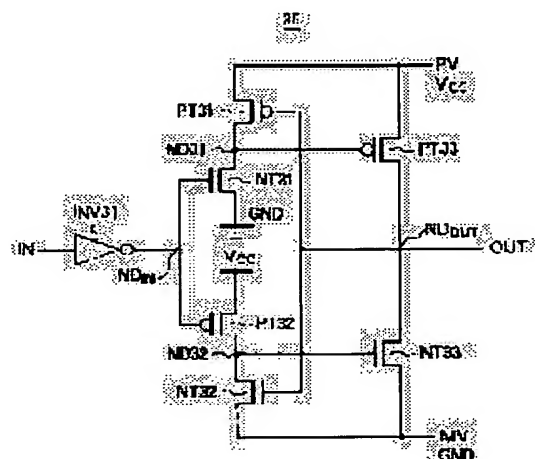
(72)Inventor : TAKAGI SHUNSUKE

(54) LEVEL SHIFT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a level shift circuit which is capable of reducing layout area and reducing the number of masks at the time of manufacture and stably performs an operation even under low power source voltage.

SOLUTION: Between the supply line of a positive high voltage PV and a ground line transistors PT31 and NT31 are serially connected, between power source voltage Vcc and the supplying line of negative high voltage MV, transistors PT32 and NT32 are serially connected transistor PT33 and NT33 are serially connected between the supply line of positive high voltage PV and the supply line of negative high voltage MV, the gates of transistors NT31 and PT32 are connected to the output terminal of an inverter INV31, a node ND31 is connected to the gate of the transistor PT 33, a node ND32 is connected to the gate of the transistor NT33, an output node ND OUT is connected to the gates of the transistors PT31 and NT32, the size of the transistor NT31 is set layer than the PT3 and the size of the transistor PT32 is set larger than the T32.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

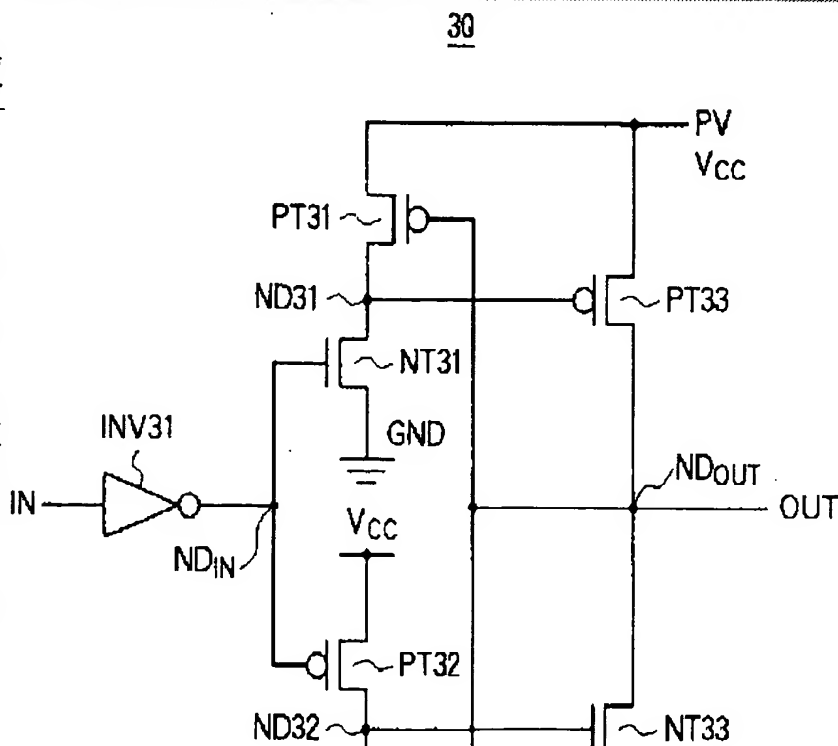
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12)公開特許公報(A)



く設定し、トランジスタPT32のサイズをNT32により大きく設定する。

【特許請求の範囲】

【請求項1】第1のレベルおよび当該第1レベルより低い第2のレベルをとる入力信号のレベルを、上記第1のレベルより高い第3のレベルまたは第2のレベルより低い第4のレベルに変換して出力するレベルシフト回路であって、上記第1のレベル以上の電圧を供給可能な高レベル用電源と、上記第2のレベル以下の電圧を供給可能な低レベル用電源と、入力端子が上記信号の入力ラインに対して並列に接続された第1および第2のインバータと、上記第1のインバータの出力レベルが実質的に上記第2のレベル以下になると出力ノードを上記高レベル用電源に接続する第1のトランジスタと、上記第2のインバータの出力レベルが実質的に上記第1のレベル以上になると出力ノードを上記低レベル用電源に接続する第2のトランジスタと、上記出力ノードのレベルが実質的に第2のレベル以下である場合にのみ上記第1のインバータの出力端子を上記高レベル用電源に接続する第3のトランジスタと、上記出力ノードのレベルが実質的に第1のレベル以上である場合にのみ上記第2のインバータの出力端子を上記低レベル用電源に接続する第4のトランジスタとを有するレベルシフト回路。

【請求項2】上記第1のインバータは、入力信号レベルが第1のレベルのときに出力端子を第2のレベル用電源に接続する第5のトランジスタにより構成され、上記第2のインバータは、入力信号レベルが第2のレベルのときに出力端子を第1のレベル用電源に接続する第6のトランジスタにより構成されている請求項1記載のレベルシフト回路。

【請求項3】上記第5のトランジスタのサイズが上記第3のトランジスタのサイズより大きく設定され、上記第6のトランジスタのサイズが上記第4のトランジスタのサイズより大きく設定されている請求項2記載のレベルシフト回路。

【請求項4】入力信号レベルが第2のレベルのときのみ上記第3のトランジスタに上記高レベル用電源を接続させる第7のトランジスタと、入力信号レベルが第1のレベルのときのみ上記第4のトランジスタに上記低レベル用電源を接続させる第8のトランジスタとを有する請求項2記載のレベルシフト回路。

【請求項5】上記第1のインバータの出力端子と上記第2のインバータの出力端子との間に、ゲートが第1のレベル用電源に接続され入力レベルが第1のレベルより高くなるとカットオフする第9のトランジスタと、ゲートが第2のレベル用電源に接続され入力レベルが第2のレベルより低くなるとカットオフする第10のトランジスタとが直列に接続されている請求項2記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号レベルを他の信号レベルに変換するレベルシフト回路に関するものである。

【0002】

【従来の技術】フラッシュEEPROM等の半導体不揮発性記憶装置の中には、電源電圧VCCレベルおよび接地GNDレベルの他に正の高電圧PVおよび負の高電圧MVの両方を用いて書き込みや消去動作が行われるものがある。そのため、これらのフラッシュEEPROM等においては、電源電圧VCCレベルおよび接地GNDレベルの入力信号レベルを、正の高電圧PVレベルまたは負の高電圧MVレベルに変換して出力するレベルシフト回路が設けられる。

【0003】図11は、この種の従来のレベルシフト回路の第1の構成例を示す回路図である。このレベルシフト回路10は、インバータINV11、pチャネルMOS（以下、PMOSという）トランジスタPT11～PT14、nチャネルMOS（以下、NMOSという）トランジスタNT11～NT14により構成されている。

【0004】PMOSTランジスタPT11～PT14のソースは正の高電圧PVの供給ラインに接続され、NMOSTランジスタNT11、NT12のソースは接地され、NMOSTランジスタNT13、NT14のソースは負の高電圧MVの供給ラインに接続されている。PMOSTランジスタPT11およびNMOSTランジスタNT11のドレイン同士が接続され、その接続点がノードND11としてPMOSTランジスタPT12およびPT13のゲートに接続されている。同様に、PMOSTランジスタPT12およびNMOSTランジスタNT12のドレイン同士が接続され、その接続点がND12としてPMOSTランジスタPT11およびPT14のゲートに接続されている。

【0005】また、PMOSTランジスタPT13およびNMOSTランジスタNT13のドレイン同士が接続され、その接続点がノードND13としてNMOSTランジスタNT14のゲートに接続されている。同様に、PMOSTランジスタNT14およびNMOSTランジスタNT14のドレイン同士が接続され、その接続点が出力ノードNDOUTとしてNMOSTランジスタNT13のゲートに接続されている。また、NMOSTラ

ンジスタNT11のゲートが入力信号INの入力ラインに接続され、NMOSTランジスタNT11のゲートがインバータINV11を介して入力信号INの入力ラインに接続されている。

【0006】このような構成において、入力信号INがハイレベルの電源電圧VCCレベルで入力されると、NMOSTランジスタNT11が導通状態となり、NMOSTランジスタNT12が非導通状態に保持される。その結果、ノードND11が接地レベルに引き込まれ、PMOSTランジスタPT12およびPT13が導通状態に切り換わる。PMOSTランジスタPT12が導通状態になったことに伴い、ノードND12の電位が正の高電圧PVレベルまで上昇し、PMOSTランジスタPT11が非導通状態に安定に保持され、これにより、PMOSTランジスタPT12、PT13の導通状態が安定に保持される。

【0007】ノードND12の電位が正の高電圧PVになったことに伴い、PMOSTランジスタPT14は非導通状態に保持され、また、PMOSTランジスタPT13が導通状態であることから、ノードND13の電位が正の高電圧PVレベルまで上昇する。その結果、NMOSTランジスタNT14が導通状態となり、出力ノードNDOUTの電位は負の高電圧MVレベルまで下がる。出力ノードNDOUTの電位が負の高電圧MVレベルになったことにより、NMOSTランジスタNT13は非導通状態に安定に保持され、出力ノードNDOUTから負の高電圧MVレベルの信号OUTが出力される。

【0008】入力信号INがローレベルの接地GNDレベルで入力されると、NMOSTランジスタNT12が導通状態となり、NMOSTランジスタNT11が非導通状態となる。その結果、ノードND12が接地レベルに引き込まれ、PMOSTランジスタPT11およびPT14が導通状態に切り換わる。PMOSTランジスタPT11が導通状態になったことに伴い、ノードND11の電位が正の高電圧PVレベルまで上昇し、PMOSTランジスタPT12、PT13が非導通状態となり、その状態が安定に保持される。また、PMOSTランジスタPT14が導通状態になったことに伴い、出力ノードNDOUTの電位が正の高電圧PVレベルまで上昇し、NMOSTランジスタNT13は導通状態となる。その結果、ノードND13の電位が負の高電圧MVまで下がり、NMOSTランジスタNT14は非導通状態に安定に保持される。したがって、出力ノードNDOUTから正の高電圧PVレベルの信号OUTが出力される。

【0009】図12は、従来のレベルシフト回路の第2の構成例を示す回路図である。このレベルシフト回路20は、インバータINV21、PMOSTランジスタPT21～PT23、NMOSTランジスタNT21～NT23により構成されている。

【0010】NMOSTランジスタNT21はインバータINV21の出力端子とPMOSTランジスタPT22のドレインとの間に接続され、ゲートが電源電圧VCCの供給ラインに接続されている。また、PMOSTランジスタPT21はインバータINV21の出力とNMOSTランジスタNT22のドレインとの間に接続され、ゲートが接地ラインに接続されている。これらNMOSTランジスタNT21およびPMOSTランジスタPT21はしきい値電圧が製造時に通常のトランジスタより低く設定されており、いわゆるカットゲートとして機能する。

【0011】PMOSTランジスタPT22およびPT23のソースは正の高電圧PVの供給ラインに接続され、NMOSTランジスタNT22およびNT23のソースは負の高電圧MVの供給ラインに接続されている。PMOSTランジスタPT22のドレインがPMOSTランジスタPT23のゲートに接続され、NMOSTランジスタNT22のドレインがNMOSTランジスタNT23のゲートに接続されている。そして、PMOSTランジスタPT23およびNMOSTランジスタNT23のドレイン同士が接続されて出力ノードNDOUTが構成され、この出力ノードNDOUTはPMOSTランジスタPT22およびNMOSTランジスタNT22のゲートに接続されている。

【0012】図12の回路においては、入力信号INがハイレベルの電源電圧VCCレベルで入力されると、インバータINV21でレベル反転されて実質的に接地GNDレベル(ローレベル)の信号がNMOSTランジスタNT21を介してPMOSTランジスタPT23のゲートに供給され、PMOSTランジスタPT21を介してNMOSTランジスタNT23のゲートに供給される。その結果、PMOSTランジスタPT23が導通状態となり、NMOSTランジスタNT23が非導通状態となり、出力ノードNDOUTの電位が正の高電圧PVまで上昇する。これにより、PMOSTランジスタPT22は非導通状態に、NMOSTランジスタNT22は導通状態に安定に保持され、ノードND22の電位は負の高電圧MVまで下がり、NMOSTランジスタNT23が非導通状態に安定に保持される。このときPMOSTランジスタPT21はカットオフ状態となる。したがって、出力ノードNDOUTから正の高電圧PVレベルの信号OUTが出力される。

【0013】また、入力信号INがローレベルの接地GNDレベルで入力されると、PMOSTランジスタPT23が非導通状態となり、NMOSTランジスタNT23が導通状態となり、出力ノードNDOUTの電位が負の高電圧MVまで下がる。これにより、PMOSTランジスタPT22は導通状態となり、NMOSTランジスタNT22は非導通状態となる。PMOSTランジスタPT22が導通状態となったことに伴い、ノードND21の電位が正の高電圧PVまで上昇し、PMOSTランジスタPT23が非導通状態に安定に保持される。このときNMOSTランジスタNT21はカットオフ状態となる。したがって、出力ノードNDOUTから負の高電圧MVレベルの信号OUTが出力される。

【0014】

【発明が解決しようとする課題】しかしながら、図11の回路は、前段で接地GNDレベルー電源電圧VCCレベルから接地GNDレベルー正の高電圧PVに変換し、後段で正の高電圧PVー負の高電圧MVに変換する2段構成となっていることから、トランジスタ数も最低8個必要であり、また、最終段のインバータはpチャネル／nチャネル比がアンバランスであるため、その後にさらに1～2段のインバータが必要となることが多く、レイアウト面積が大きくなるという問題がある。

【0015】また、図12の回路では、1段の回路で構成され、トランジスタ数も6個と少ないが、カットゲートが必要であり、このカットゲートに低しきい値のトランジスタを使用しなければ電源電圧VCCが低電圧である場合のマージンが小さく、低電源電圧下における動作が困難である。また、低しきい値のトランジスタを作製するためには、マスク数が増加するという欠点がある。

【0016】本発明は、かかる事情に鑑みてなされたものであり、その目的は、レイアウト面積の低減、低電源電圧下における安定な動作を実現でき、製造時のマスク数を削減を図れ、また動作速度の高速化を図れるレベルシフト回路を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1のレベルおよび当該第1レベルより低い第2のレベルをとる入力信号のレベルを、上記第1のレベルより高い第3のレベルまたは第2のレベルより低い第4のレベルに変換して出力するレベルシフト回路であって、上記第1のレベル以上の電圧を供給可能な高レベル用電源と、上記第2のレベル以下の電圧を供給可能な低レベル用電源と、入力端子が上記信号の入力ラインに対して並列に接続された第1および第2のインバータと、上記第1のインバータの出力レベルが実質的に上記第2のレベル以下になると出力ノードを上記高レベル用電源に接続する第1のトランジスタと、上記第2のインバータの出力レベルが実質的に上記第1のレベル以上になると出力ノードを上記低レベル用電源に接続する第2のトランジスタと、上記出力ノードのレベルが実質的に第2のレベル以下である場合にのみ上記第1のインバータの出力端子を上記高レベル用電源に接続する第3のトランジスタと、上記出力ノードのレベルが実質的に第1のレベル以上である場合にのみ上記第2のインバータの出力端子を上記低レベル用電源に接続する第4のトランジスタとを有する。

【0018】本発明のレベルシフト回路では、上記第1のインバータは、入力信号レベルが第1のレベルのときに出力端子を第2のレベル用電源に接続する第5のトランジスタおよび負荷トランジスタPT31により構成され、上記第2のインバータは、入力信号レベルが第2のレベルのときに出力端子を第1のレベル用電源に接続する第6のトランジスタおよびNT32により構成されている。

【0019】また、本発明のレベルシフト回路では、上記第5のトランジスタのサイズが上記第3のトランジスタのサイズより大きく設定され、上記第6のトランジスタのサイズが上記第4のトランジスタのサイズより大きく設定されている。

【0020】また、本発明のレベルシフト回路は、入力信号レベルが第2のレベルのときのみ上記第3のトランジスタに上記高レベル用電源を接続させる第7のトランジスタと、入力信号レベルが第1のレベルのときのみ上記第4のトランジスタに上記低レベル用電源を接続させる第8のトランジスタとを有する。

【0021】また、本発明のレベルシフト回路では、上記第1のインバータの出力端子と上記第2のインバータの出力端子との間に、ゲートが第1のレベル用電源に接続され入力レベルが第1のレベルより高くなるとカットオフする第9のトランジスタと、ゲートが第2のレベル用電源に接続され入力レベルが第2のレベルより低くなるとカットオフする第10のトランジスタとが直列に接続されている。

【0022】本発明のレベルシフト回路によれば、入力信号が第1のレベルで入力されると、第1のインバータおよび第2のインバータから第2レベルの信号が出力される。これにより、第1のトランジスタが導通状態となり、第2のトランジスタが非導通状態となり、出力ノードが第1のトランジスタにより高レベル用電源に接続され、出力ノードのレベルが徐々に上昇する。この出力ノードは第3および第4のトランジスタに帰還され、そのレベルが実質的に第1のレベルになると、第3のトランジスタは非導通状態となり、第4のトランジスタは導通状態となる。その結果、第2のインバータの出力端子が低レベル用電源に接続され、第2のトランジスタは非導通状態に安定に保持される。そして、高レベル用電源から出力ノードに対して第3のレベルの電圧が供給され、第3のレベルの信号が出力される。または、低レベル用電源から第4のレベルの電圧が供給された時は、第1のレベルを保持する。

【0023】一方、入力信号が第2のレベルで入力されると、第1のインバータおよび第2のインバータから第1レベルの信号が出力される。これにより、第1のトランジスタが非導通状態となり、第2のトランジスタが導通状態となり、出力ノードが第2のトランジスタにより低レベル用電源に接続され、出力ノードのレベルが徐々に降下する。この出力ノードは第3および第4のトランジスタに帰還され、そのレベルが実質的に第2のレベルになると、第3のトランジスタは導通状態となり、第4のトランジスタは非導通状態となる。その結果、第1のインバータの出力端子が高レベル用電源に接続され、第

1のトランジスタは非導通状態に安定に保持される。そして、低レベル用電源から出力ノードに対して第4のレベルの電圧が供給され、第4のレベルの信号が出力される。または、高レベル用電源から第3のレベルの電圧が供給された時は、第2のレベルを保持する。

【0024】また、本発明のレベルシフト回路では、第5のトランジスタのサイズが第3のトランジスタのサイズより大きく、第6のトランジスタのサイズが第4のトランジスタのサイズより大きいので、たとえ第5のトランジスタと第3のトランジスタが導通状態にあっても第1のインバータの出力端子レベルが第2のレベルに遷移し、また、第6のトランジスタと第4のトランジスタが導通状態にあっても第2のインバータの出力端子レベルが第1のレベルに遷移する。

【0025】また、第7のトランジスタおよび第8のトランジスタは、入力信号レベルで導通状態が制御され、第3のトランジスタと高レベル用電源、第4のトランジスタと低レベル用電源の接続状態が制御される。すなわち、入力信号レベルが第1のレベルのときは第3のトランジスタは高レベル用電源に接続されない。その結果、第1のインバータの出力端子の第2のレベルへの遷移が高速に行われる。同様に、入力信号レベルが第2のレベルのときは第4のトランジスタは低レベル用電源に接続されない。その結果、第2のインバータの出力端子の第1のレベルへの遷移が高速に行われる。

【0026】また、第3または第4のレベルの信号出力前は、第9および第10のトランジスタを介して第1のインバータの出力端子と第2のインバータの出力端子とが導通状態に保持される。その結果、第1のインバータの出力端子および第2のインバータの出力端子が電氣的にフローティングになることがなく、また、第1のレベルまたは第2のレベルへ前もって遷移させることができる。したがって、さらなる高速動作が実現される。そして、第1のインバータの出力端子のレベルが第1のレベルより高くなると第9のトランジスタがカットオフ状態となり、第2のインバータの出力端子のレベルが第2のレベルより低くなると、第10のトランジスタがカットオフ状態となり、第1のインバータの出力端子と第2のインバータの出力端子とが非導通状態に保持される。その結果、安定なレベルシフト動作が実現される。

【0027】

【発明の実施の形態】第1実施形態 図1は、本発明に係るレベルシフト回路の第1の実施形態を示す回路図である。図1に示すように、このレベルシフト回路30は、インバータINV31、第3のトランジスタとしてのPMOSTランジスタPT31、第6のトランジスタとしてのPMOSTランジスタPT32、第1のトランジスタとしてのPMOSTランジスタPT33、および第5のトランジスタとしてのNMOSTランジスタNT31、第4のトランジスタとしてのNMOSTランジスタNT32、第2のトランジスタとしてのNMOSTランジスタNT33により構成され、実質的にNMOSTランジスタNT31により第1のインバータが構成され、PMOSTランジスタPT32により第2のインバータが構成されている。

【0028】具体的には、PMOSTランジスタPT31およびPT33のソースが図示しない高レベル用電源に接続された正の高電圧PVおよび電源電圧VCCの供給ラインに接続され、NMOSTランジスタNT32およびNT33のソースが図示しない低レベル用電源に接続された負の高電圧MVおよび接地GND電圧(0V)の供給ラインに接続され、NMOSTランジスタNT31のソースは接地され、PMOSTランジスタPT32のソースが電源電圧VCCの供給ラインに接続されている。そして、PMOSTランジスタPT31およびNMOSTランジスタNT31のドレイン同士、PMOSTランジスタPT32およびNMOSTランジスタNT32のドレイン同士、並びにPMOSTランジスタPT33およびNMOSTランジスタNT33のドレイン同士がそれぞれ接続されている。すなわち、正の高電圧PVおよび電源電圧VCCの供給ラインと接地GNDラインとの間にPMOSTランジスタPT31およびNMOSTランジスタNT31が直列に接続され、電源電圧VCCと負の高電圧MVおよび接地GND電圧の供給ラインとの間にPMOSTランジスタPT32およびNMOSTランジスタNT32が直列に接続されている。そして、出力バッファを構成するPMOSTランジスタPT33およびNMOSTランジスタNT33が正の高電圧PVおよび電源電圧VCCの供給ラインと負の高電圧MVおよび接地GND電圧の供給ラインとの間に直列に接続されている。

【0029】インバータINV31の入力端子が信号INの入力ラインに接続され、NMOSTランジスタNT31およびPMOSTランジスタPT32のゲートがインバータINV31の出力端子に接続され、これらの接続点によりノードNDINが構成されている。また、PMOSTランジスタPT31およびNMOSTランジスタNT31のドレイン同士の接続点により第1のインバータの出力端子としてのノードND31が構成され、このノードND31がPMOSTランジスタPT33のゲートに接続されている。同様に、PMOSTランジスタPT32およびNMOSTランジスタNT32のドレイン同士の接続点により第2のインバータの出力端子としてのノードND32が構成され、このノードND32がNMOSTランジスタNT33のゲートに接続されている。さらに、PMOSTランジスタPT33およびNMOSTランジスタNT33のドレイン同士の接続点により出力ノードNDOUTが構成され、出力ノードNDOUTはPMOSTランジスタPT31のゲートおよびNMOSTランジスタNT32のゲートに接続(帰還)されている。

【0030】なお、レベルシフト回路10においては、NMOSTランジスタNT31のトランジスタサイズがP

MOSTランジスタPT31より大きく、たとえば2倍に設定されている。また、PMOSTランジスタPT32のトランジスタサイズがNMOSTランジスタNT32により大きく、たとえば4倍に設定されている。

【0031】次に、上記構成による動作を図2のタイミングチャートを参照しつつ説明する。ここでは、まず、入力信号INのレベルが電源電圧VCCレベル(ハイレベル)から接地GNDレベル(ローレベル)に切り換わったときの動作について説明する。この入力信号の切り換わり時点では、PMOSTランジスタPT31、PT32およびNMOSTランジスタNT33が導通状態にあり、NMOSTランジスタNT31、NT32およびPMOSTランジスタPT33が非導通状態にある。

【0032】入力信号INのレベルが電源電圧VCCレベルのハイレベルから接地GNDレベルのローレベルに切り換わると、ノードNDINのレベルが接地GNDレベルから電源電圧VCCレベルに切り換わる。これにより、NMOSTランジスタNT31が導通状態に切り換わり、PMOSTランジスタPT32が非導通状態に切り換わる。PMOSTランジスタPT32が非導通状態に切り換わったことに伴い、ノードND32が過渡的にフローティング状態となる。また、NMOSTランジスタNT31が導通状態に切り換わったことに伴い、直列に接続されたPMOSTランジスタPT31およびNMOSTランジスタNT31が共に導通状態となるが、NMOSTランジスタNT31のサイズがPMOSTランジスタPT31により十分大きく設定されていることから、ノードND31のレベルがローレベルの接地GNDレベルに反転する。

【0033】ノードND31が接地GNDレベルに遷移したことに伴い、出力段のPMOSTランジスタPT33が徐々に導通状態に切り換わり、出力ノードNDOUTのレベルが徐々に上昇してVCC/2程度になると、NMOSTランジスタNT32が導通状態となり、PMOSTランジスタPT31が非導通状態となる。これにより、ノードND32は接地GNDレベルに遷移し、NMOSTランジスタNT33が非導通状態に切り換わる。このとき、PMOSTランジスタPT31も完全に非導通状態となる。その結果、出力信号OUTの論理が、ハイレベルに確定する。そして、この論理確定後、正側の供給レベルが電源電圧VCCレベルから、さらに高電圧PVに切り換えられて、出力ノードNDOUTから正の高電圧PVレベルの信号OUTが出力される。または、負側の供給レベルがGNDレベルから負の高電圧MVに切り換えられた時は、出力ノードNDOUTからVccレベルが出力される。

【0034】次に、入力信号INのレベルが接地GNDレベル(ローレベル)から電源電圧VCCレベル(ハイレベル)からに切り換わったときの動作について説明する。この入力信号の切り換わり時点では、PMOSTランジスタPT31、PT32およびNMOSTランジスタNT33が非導通状態にあり、NMOSTランジスタNT31、NT32およびPMOSTランジスタPT33が導通状態にある。

【0035】入力信号INのレベルが接地GNDレベルのローレベルから電源電圧VCCレベルのハイレベルに切り換わると、ノードNDINのレベルが電源電圧VCCレベルから接地GNDレベルに切り換わる。これにより、NMOSTランジスタNT31が非導通状態に切り換わり、PMOSTランジスタPT31が導通状態に切り換わる。NMOSTランジスタNT31が非導通状態に切り換わったことに伴い、ノードND31が過渡的にフローティング状態となる。また、PMOSTランジスタPT32が導通状態に切り換わったことに伴い、直列に接続されたPMOSTランジスタPT32およびNMOSTランジスタNT32が共に導通状態となが、PMOSTランジスタPT32のサイズがNMOSTランジスタNT32により十分大きく設定されていることから、ノードND32のレベルがハイレベルの電源電圧VCCレベルに反転する。

【0036】ノードND32のレベルが電源電圧VCCレベルに遷移したことに伴い、出力段のPMOSTランジスタNT33が徐々に導通状態に切り換わり、出力ノードNDOUTのレベルが徐々に降下して0V程度になると、PMOSTランジスタPT31が導通状態となり、NMOSTランジスタNT32は非導通状態に切り換わる。PMOSTランジスタPT31が導通状態に切り換わったことに伴い、ノードND31は電源電圧VCCレベルに遷移し、PMOSTランジスタPT33が非導通状態に切り換わる。そして、PMOSTランジスタPT33の非導通状態およびNMOSTランジスタNT33の導通状態が安定に保持される。その結果、出力信号OUTの論理が、ローレベルの接地GNDレベル(0V)に確定する。そして、この論理確定後、負側の供給レベルが接地GNDレベルから、さらに低い負の高電圧MVに切り換えられて、出力ノードNDOUTから負の高電圧MVレベルの信号OUTが出力される。または、正側がVccから正の高電圧PVに切り換えられた時は、出力ノードNDOUTが出力される。

【0037】図3は図1の回路のシミュレーションを行った際の回路構成を示す図であり、図4はそのシミュレーション結果を示す図である。図3において、31は信号源、32は正の高電圧源、33は負の高電圧源をそれぞれ示している。また、各トランジスタにはそのサイズ(チャネル幅W/チャネル長L)を示してある。また、図4において、横軸は時間を、縦軸は電圧をそれぞれ表している。

【0038】このシミュレーションでは、電源電圧VCCを3Vとした。図4からわかるように、図3(図1)の回路は低電圧下でもレベルシフト回路として良好に機能している。

【0039】以上説明したように、本第1の実施形態によれば、正の高電圧PVおよび電源電圧VCCの供給ライン(図示しない高レベル用電源に接続)と接地GNDラインとの間にPMOSTランジスタPT31およびNMOSTランジスタNT31を直列に接続し、電源電圧VCCと負の高電圧MVおよび接地GND電圧の供給ライン(図示しない低レベル用電源に接続)との間にPMOSTランジスタPT32およびN

MOSTランジスタNT32を直列に接続し、出力バッファを構成するPMOSTランジスタPT33およびNMOSTランジスタNT33を正の高電圧PVおよび電源電圧VCCの供給ラインと負の高電圧MVおよび接地GND電圧の供給ラインとの間に直列に接続し、NMOSTランジスタNT31およびPMOSTランジスタPT32のゲートをインバータINV31の出力端子に接続し、PMOSTランジスタPT31およびNMOSTランジスタNT31のドレイン同士の接続点をPMOSTランジスタPT33のゲートに接続し、PMOSTランジスタPT32およびNMOSTランジスタNT32のドレイン同士の接続点をNMOSTランジスタNT33のゲートに接続し、PMOSTランジスタPT33およびNMOSTランジスタNT33のドレイン同士の接続点からなる出力ノードNDOUTをPMOSTランジスタPT31のゲートおよびNMOSTランジスタNT32のゲートに接続(帰還)させ、また、NMOSTランジスタNT31のトランジスタサイズをPMOSTランジスタPT31より大きく設定し、PMOSTランジスタPT32のトランジスタサイズをNMOSTランジスタNT32により大きく設定したので、レイアウト面積の低減でき、また低電源電圧下における安定な動作を実現でき、製造時のマスク数を削減できる利点がある。

【0040】第2実施形態 図5は、本発明に係るレベルシフト回路の第2の実施形態を示す回路図である。本第2の実施形態が、上述した第1の実施形態と異なる点は、正の高電圧PVおよび電源電圧VCC(図示しない高レベル用電源に接続)の供給ラインとPMOSTランジスタPT31のソースとの間に、ゲートがノードNDINに接続された第7のトランジスタとしてのPMOSTランジスタPT34を直列に接続し、負の高電圧MVおよび接地GND電圧(図示しない低レベル用電源に接続)の供給ラインとNMOSTランジスタNT32のソースとの間に、ゲートがノードNDINに接続された第8のトランジスタとしてのNMOSTランジスタNT34を直列に接続したことにある。

【0041】このレベルシフト回路30aでは、インバータINV31の出力レベルで導通制御されるPMOSTランジスタPT34、NMOSTランジスタNT34により、PMOSTランジスタPT31およびNMOSTランジスタNT31からなるインバータ、並びにPMOSTランジスタPT32およびNMOSTランジスタNT32からなるインバータの両トランジスタが導通状態となることが防止され、消費電流を削減できる。

【0042】たとえば、入力信号INのレベルが電源電圧VCCレベルから接地GNDレベルへ切り換わったとき、PMOSTランジスタPT34が非導通状態になることから、ノードND31のレベルは接地GNDレベルに速やかに遷移する。その結果、出力段のPMOSTランジスタPT33も導通状態に切り換わり、出力ノードNDOUTの電位上昇も高速に行われる。

【0043】また、図1の回路30では、前段のPMOSTランジスタPT31およびNMOSTランジスタNT31からなるインバータ、並びにPMOSTランジスタPT32およびNMOSTランジスタNT32からなるインバータの(pチャネル/nチャネル)の能力比を4倍程度以上に設定する必要があるが、図5の回路30aでは前段のインバータの能力比を同じにすることができる。したがって、図5の回路30aの方が図1の回路30に比べて高速動作に適している。

【0044】図6は図5の回路のシミュレーションを行った際の回路構成を示す図であり、図7はそのシミュレーション結果を示す図である。図6において、31は信号源、32は正の高電圧源、33は負の高電圧源をそれぞれ示している。また、各トランジスタにはそのサイズ(チャネル幅W/チャネル長L)を示してある。また、図7において、横軸は時間を、縦軸は電圧をそれぞれ表している。

【0045】このシミュレーションでは、電源電圧VCCを3Vとした。図7からわかるように、図6(図5)の回路は低電圧下でもレベルシフト回路として良好に機能することはもとより、図3(図1)の特性を示す図4に比べて高速に動作している。

【0046】このように、本第2の実施形態に係る図5の回路30aは図1の回路30に比べて高速に動作できる利点がある。

【0047】なお、図5に回路では、トランジスタ数が6個から8個に増加するが、増加するトランジスタPT34、NT34は、もともとあるトランジスタPT31、NT31、PT32、NT32に直列に接続されることから、レイアウト面積の増加はさほど大きくない。むしろ、同じ速度ならばトランジスタサイズは小さくできるので、面積は減少する可能性がある。

【0048】第3実施形態 図8は、本発明に係るレベルシフト回路の第3の実施形態を示す回路図である。本第3の実施形態が上述した第2の実施形態と異なる点は、ノードND31とノードND32との間に、ゲートが電源電圧VCCの供給ラインに接続されたカットゲートとしてのNMOSTランジスタNT35(第9のトランジスタ)とゲートが接地されたカットゲートとしてのPMOSTランジスタPT35(第10のトランジスタ)とが直列に接続されていることにある。

【0049】このような構成にすることにより、ノードND31またはノードND32がフローティングになるタイミングがなくなり、さらに高速化できる。

【0050】たとえば、図5の回路では、入力信号INのレベルが電源電圧VCCレベルのハイレベルから接地レベルのローレベルに切り換わると、ノードNDINのレベルが接地GNDレベルから電源電圧VCCレベルに切り換わり、NMOSTランジスタNT31が導通状態に切り換わり、PMOSTランジスタPT32が非導通状態に切り換わることにより、ノードND32が過渡的にフローティング状態となる。

【0051】これに対して、図8に回路では、カットゲートとしてのNMOSTランジスタNT35、PMOSTランジスタPT35によりノードND31およびND32が導通状態となり、フローティング状態となることが防止され、ノードND32の電位は略接地GNDレベルに遷移していく。すなわち、出力ノードNDOUTの帰還がかかる前にノードND31の電位は接地GNDレベルに遷移していく。そして、出力ノードNDOUTの電位がVCC/2程度の上昇したことによりNMOSTランジスタNT32が導通状態になると、このときNMOSTランジスタNT34は導通状態にあることから、ノードND32が負の高電圧MVの供給ラインに接続され、ノードND32の電位が接地GNDレベル以下になると、PMOSTランジスタPT35がカットオフし、ノードND31とND32との導通状態が解除される。

【0052】同様に、図5の回路では、入力信号INのレベルが接地GNDレベルのローレベルから電源電圧VCCレベルのハイレベルに切り換わると、ノードNDINのレベルが電源電圧VCCレベルから接地GNDレベルに切り換わり、NMOSTランジスタNT31が非導通状態に切り換わり、PMOSTランジスタPT31が導通状態に切り換わることにより、ノードND31が過渡的にフローティング状態となる。

【0053】しかし、図8の回路では、カットゲートとしてのNMOSTランジスタNT35、PMOSTランジスタPT35によりノードND31およびND32が導通状態となり、フローティング状態となることが防止され、ノードND31の電位は略電源電圧VCCレベルに遷移していく。すなわち、出力ノードNDOUTの帰還がかかる前にノードND31の電位は略電源電圧VCCレベルに遷移していく。そして、出力ノードNDOUTの電位が略接地GNDレベルに降下したことによりPMOSTランジスタPT31が導通状態になると、このときPMOSTランジスタPT34は導通状態にあることから、ノードND31が正の高電圧PVの供給ラインに接続され、ノードND31の電位が電源電圧VCCレベル以上になると、NMOSTランジスタNT35がカットオフし、ノードND31とND32との導通状態が解除される。

【0054】図9は図8の回路のシミュレーションを行った際の回路構成を示す図であり、図10はそのシミュレーション結果を示す図である。図9において、31は信号源、32は正の高電圧源、33は負の高電圧源をそれぞれ示している。また、各トランジスタにはそのサイズ(チャネル幅W/チャネル長L)を示してある。また、図10において、横軸は時間を、縦軸は電圧をそれぞれ表している。

【0055】このシミュレーションでは、電源電圧VCCを3Vとした。図10からわかるように、図9(図8)の回路は低電圧下でもレベルシフト回路として良好に機能することはもとより、図6(図5)の特性を示す図7に比べてさらに高速に動作している。

【0056】以上説明したように、本第3の実施形態によれば、第2の実施形態の場合に比べてさらなる高速動作を実現できる。

【0057】

【発明の効果】以上説明したように、本発明のレベルシフト回路によれば、レイアウト面積を低減、また低電源電圧下における安定な動作を実現でき、製造時のマスク数を削減できる。また、高速動作を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るレベルシフト回路の第1の実施形態を示す回路図である。

【図2】図1の回路の動作を説明するためのタイミングチャートである。

【図3】図1の回路のシミュレーションを行った際の回路構成を示す図である。

【図4】図3の回路のシミュレーション結果を示す図である。

【図5】本発明に係るレベルシフト回路の第2の実施形態を示す回路図である。

【図6】図5の回路のシミュレーションを行った際の回路構成を示す図である。

【図7】図6の回路のシミュレーション結果を示す図である。

【図8】本発明に係るレベルシフト回路の第3の実施形態を示す回路図である。

【図9】図8の回路のシミュレーションを行った際の回路構成を示す図である。

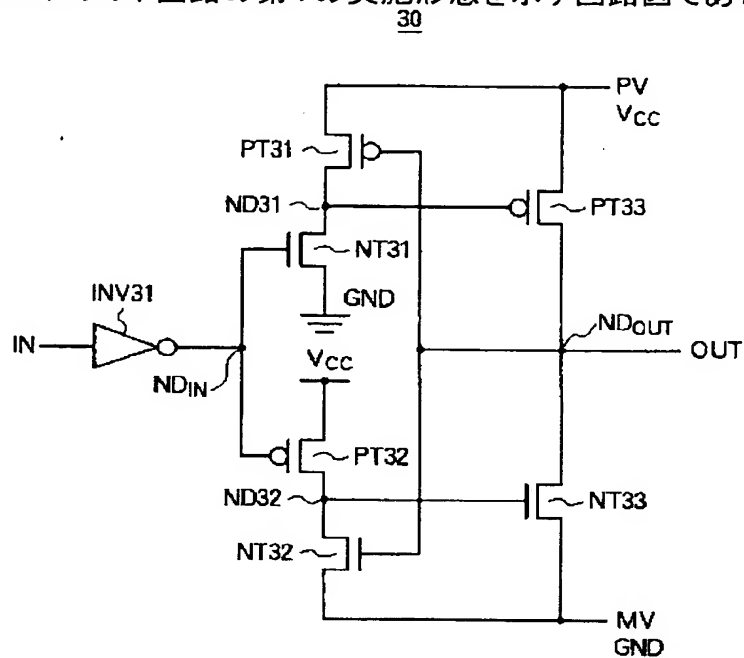
【図10】図9の回路のシミュレーション結果を示す図である。

【図11】従来のレベルシフト回路の第1の構成例を示す回路図である。

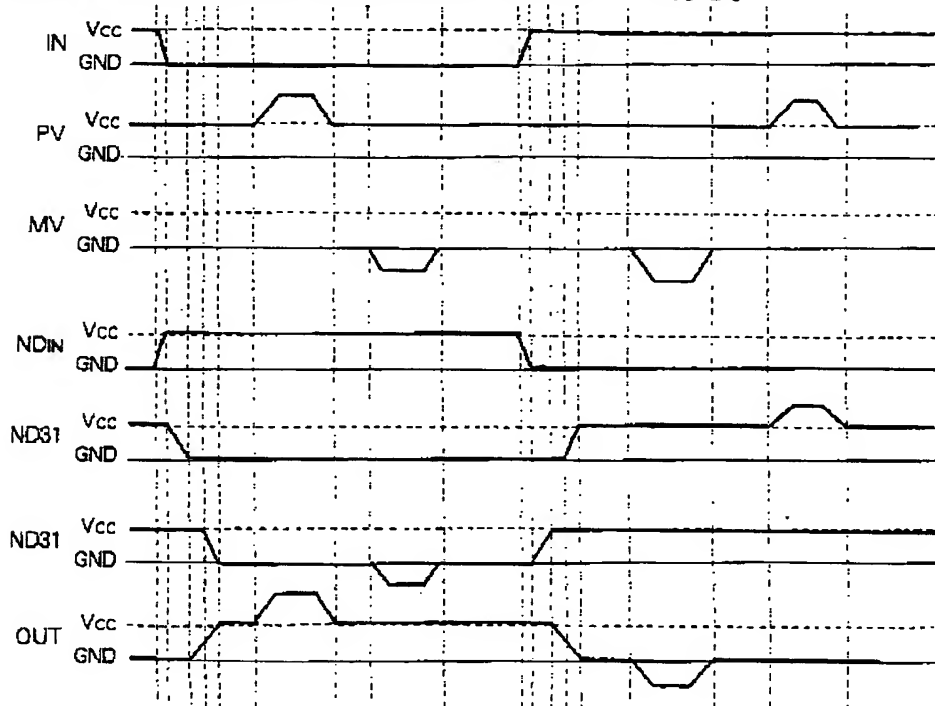
【図12】従来のレベルシフト回路の第2の構成例を示す回路図である。

【符号の説明】30、30a、30b…レベルシフト回路INV31…インバータPT31…PMOSTランジスタ(第3のトランジスタ)PT32…PMOSTランジスタ(第6のトランジスタ)PT33…PMOSTランジスタ(第1のトランジスタ)PT34…PMOSTランジスタ(第7のトランジスタ)PT35…PMOSTランジスタ(第10のトランジスタ)NT31…NMOSTランジスタ(第5のトランジスタ)NT32…NMOSTランジスタ(第4のトランジスタ)NT33…NMOSTランジスタ(第2のトランジスタ)NT34…NMOSTランジスタ(第8のトランジスタ)NT35…NMOSTランジスタ(第9のトランジスタ)NDOUT…出力ノードND31…ノード(第1のインバータの出力端子)ND32…ノード(第2のインバータの出力端子)31…信号源32…正の高電圧源33…負の高電圧源

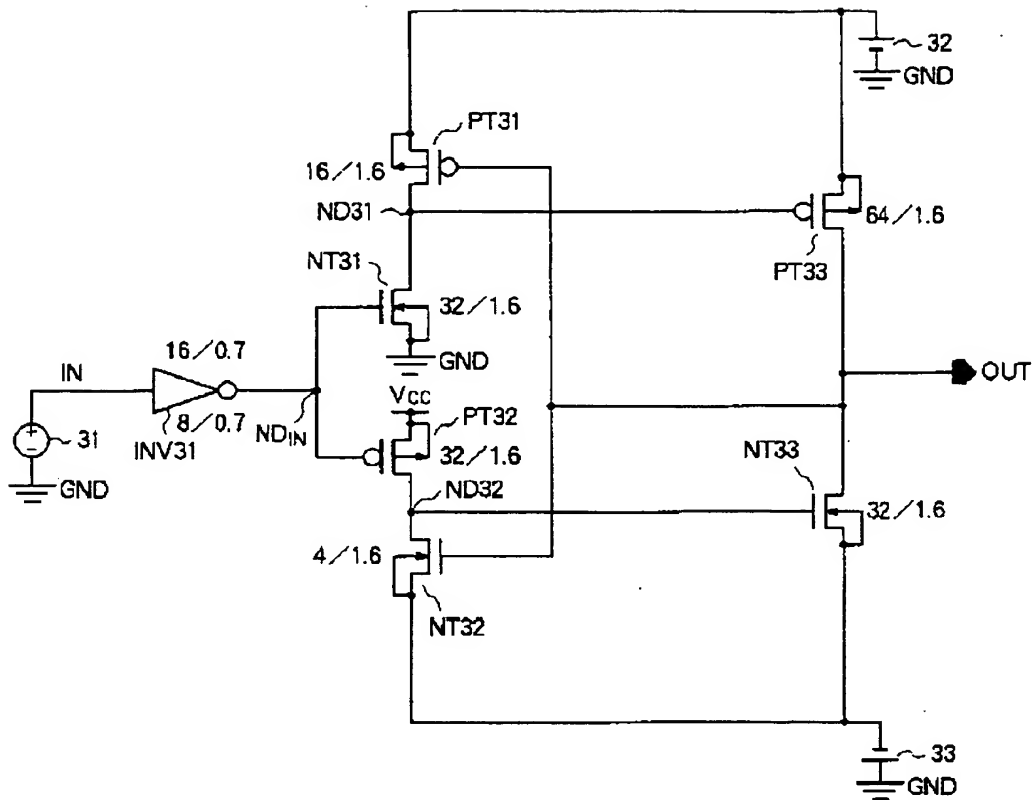
【図1】本発明に係るレベルシフト回路の第1の実施形態を示す回路図である。



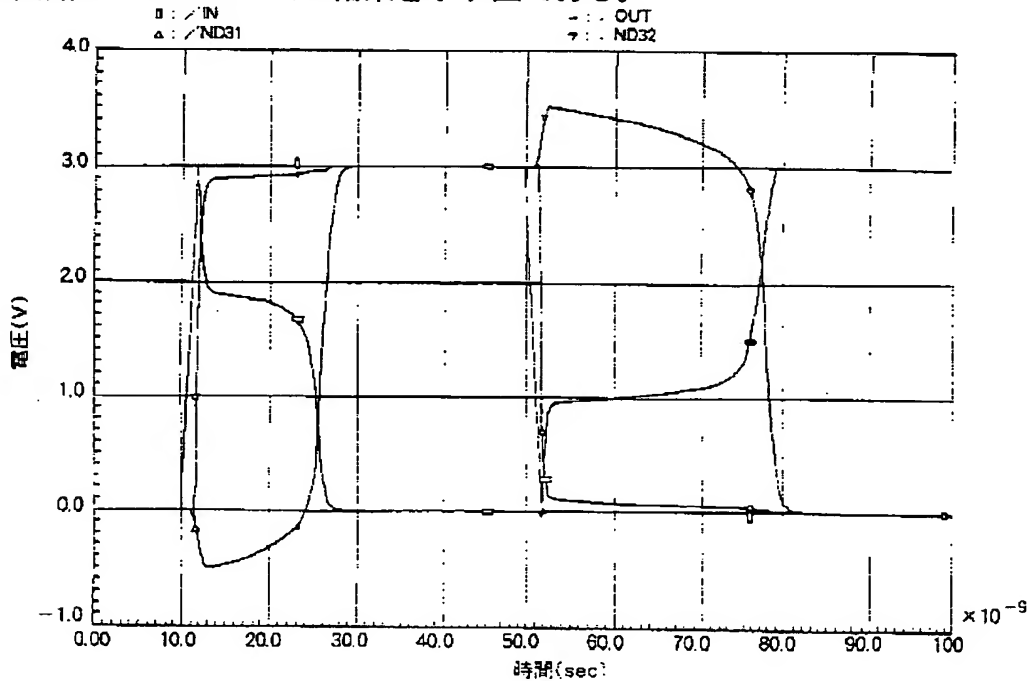
【図2】図1の回路の動作を説明するためのタイミングチャートである。



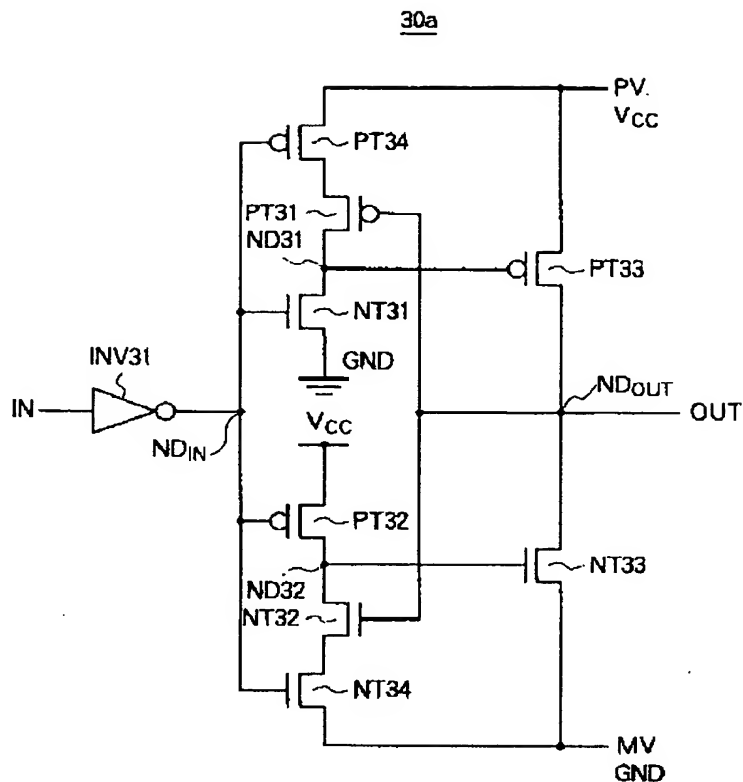
【図3】図1の回路のシミュレーションを行った際の回路構成を示す図である。



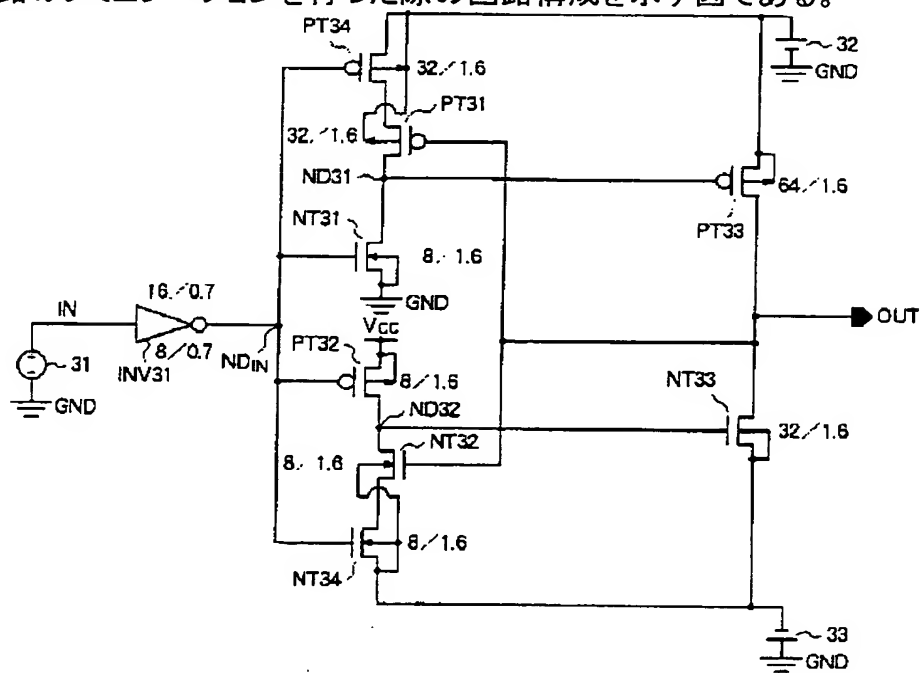
【図4】図3の回路のシミュレーション結果を示す図である。



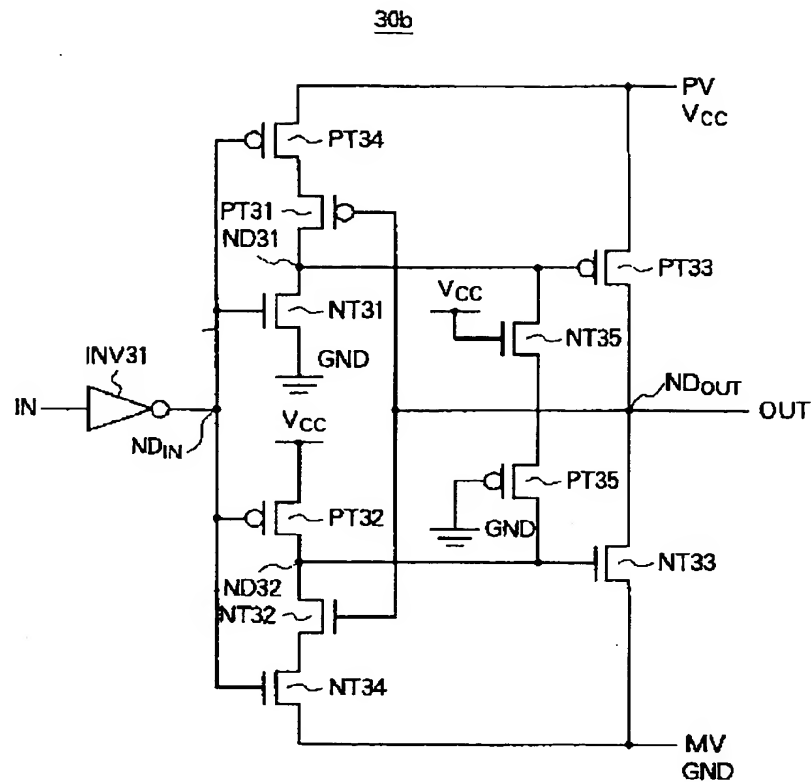
【図5】本発明に係るレベルシフト回路の第2の実施形態を示す回路図である。



【図6】図5の回路のシミュレーションを行った際の回路構成を示す図である。

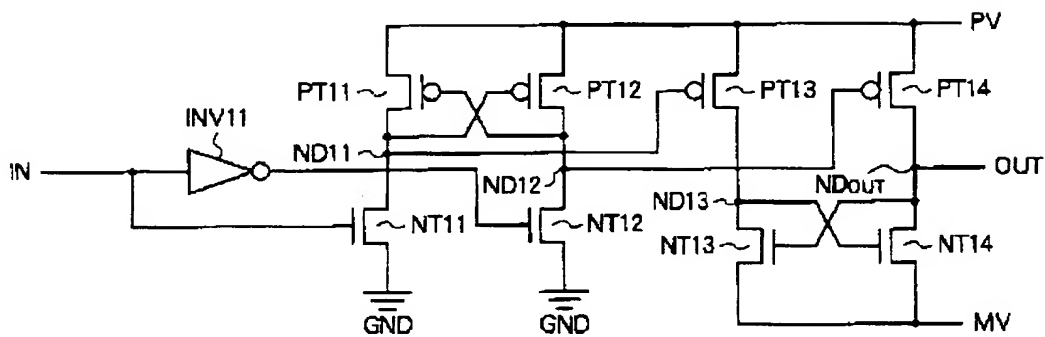


【図8】本発明に係るレベルシフト回路の第3の実施形態を示す回路図である。

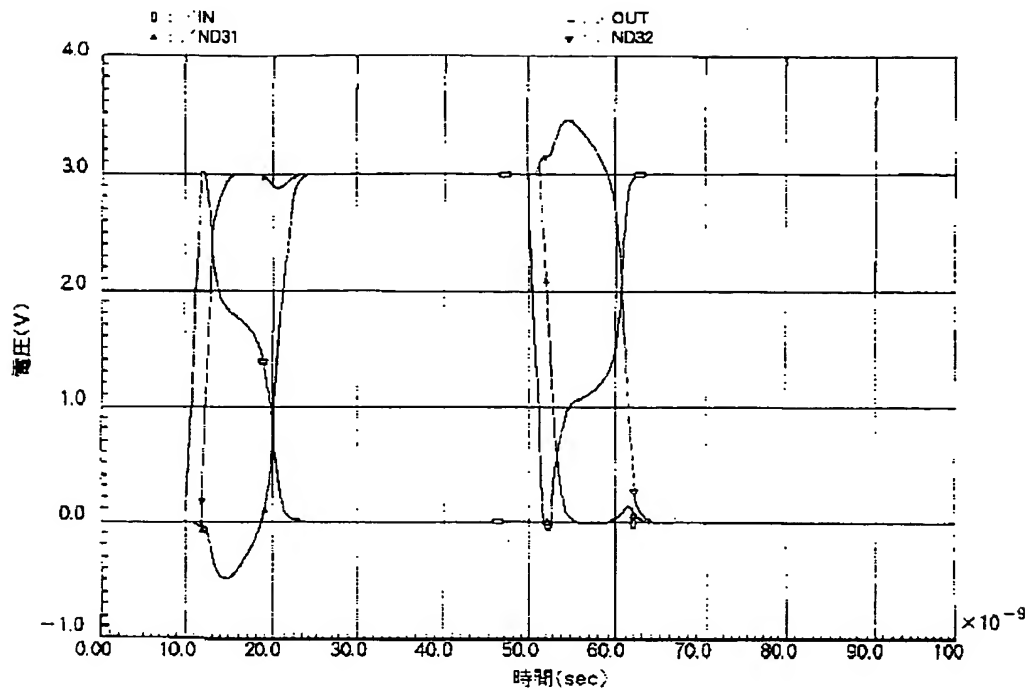


【図11】従来のレベルシフト回路の第1の構成例を示す回路図である。

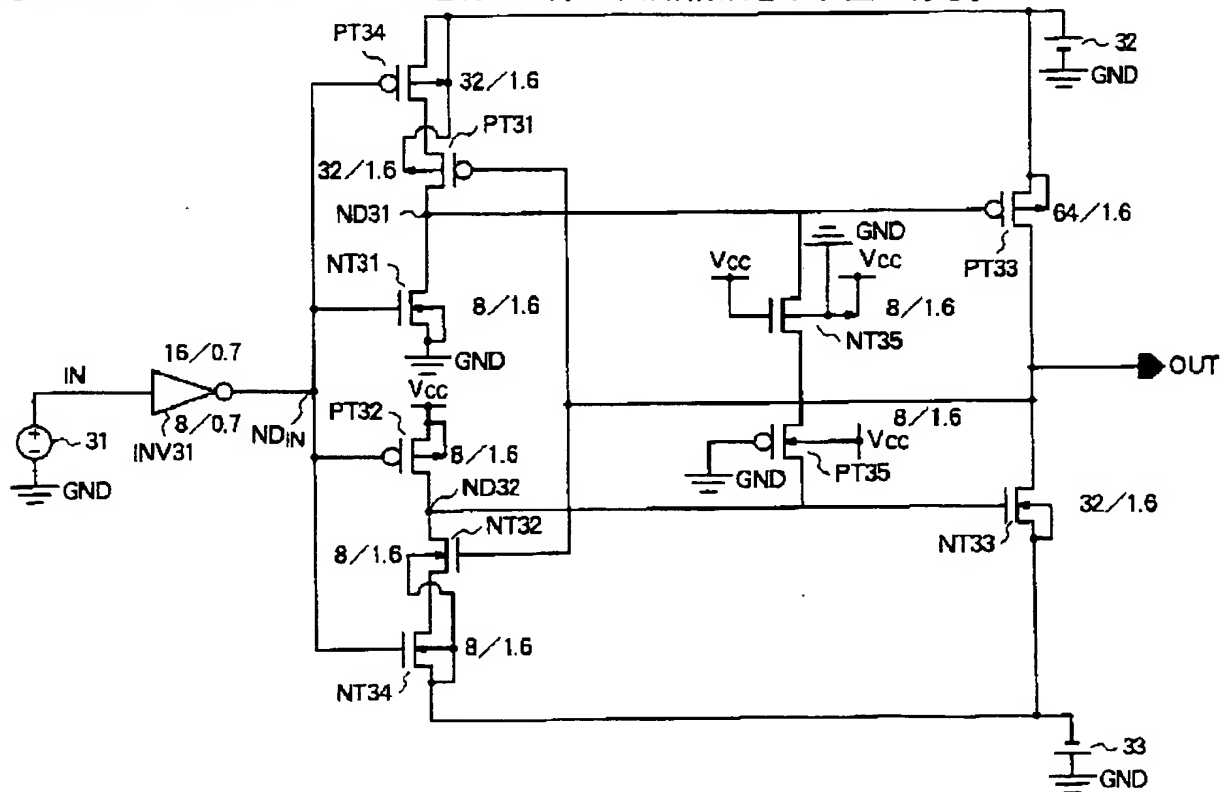
10



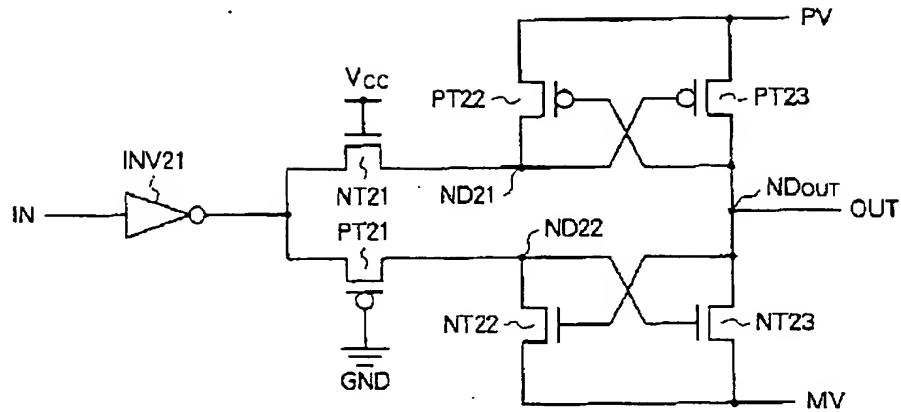
【図7】図6の回路のシミュレーション結果を示す図である。



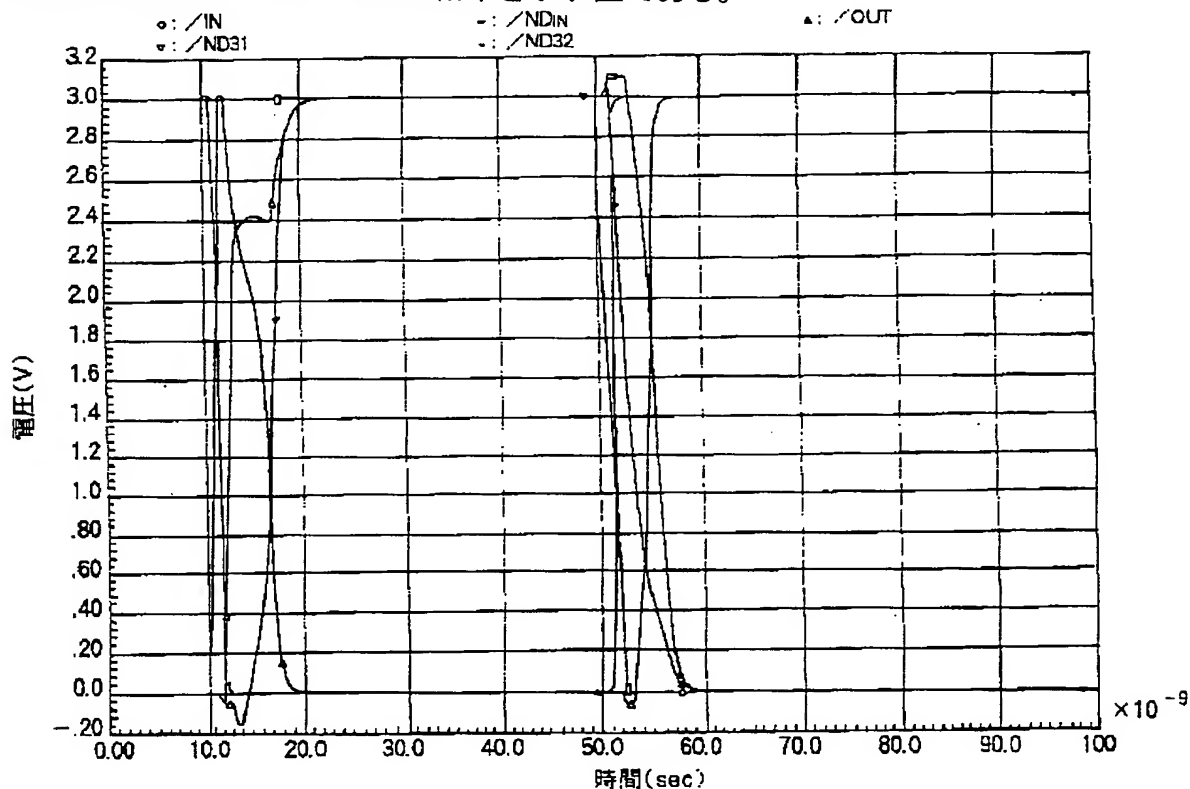
【図9】図8の回路のシミュレーションを行った際の回路構成を示す図である。



【図12】従来のレベルシフト回路の第2の構成例を示す回路図である。



【図10】図9の回路のシミュレーション結果を示す図である。



【手続補正書】

【提出日】平成8年5月15日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、第7のトランジスタおよび第8のトランジスタは、入力信号レベルで導通状態が制御され、第3のトランジスタと高レベル用電源、第4のトランジスタと低レベル用電源の接続状態が制御される。すなわち、入力信号レベルが第1のレベルのときは第3のトランジスタは高レベル用電源に接続されない。その結果、第1のインバータの出力端子の第2のレベルへの遷移が高速に行われる。同様に、入力信号レベルが第2のレベルのときは第4のトランジスタは低レベル用電源に接続されない。その結果、第2のインバータの出力端子の第1のレベルへの遷移が高速に行われる。

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】

